

PAT-NO: JP410270746A

DOCUMENT-IDENTIFIER: JP 10270746 A

TITLE: MANUFACTURE OF
PHOTODETECTOR

PUBN-DATE: October 9, 1998

INVENTOR-INFORMATION:
NAME
SUGIYAMA, MITSUHIRO

ASSIGNEE-INFORMATION:	
NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP09073385

APPL-DATE: March 26, 1997

INT-CL (IPC): H01L031/107, H01L021/265

ABSTRACT:

PROBLEM TO BE SOLVED: To suppress the variation of an avalanche breakdown voltage, in an avalanche photodiode using a selective epitaxial growth layer as its light absorption layer.

SOLUTION: Forming successively an N<SP>+</SP> buried layer 2 and N type epitaxial layer 3 on a P type silicon substrate 1, a groove 4 is formed in the N type epitaxial layer 3 to grow thereafter a silicon oxide film 5 on the whole surface of the intermediate. Thereafter, performing the etchback of the silicon oxide film 5 by a dry etching method, the silicon oxide films 5 are left on the sidewalls of the groove 4. Then, implanting ions into the buried layer 2 exposed to the external in the bottom of the groove 4, a P type diffusion layer (an avalanche layer) 6 is formed. Subsequently, an SiGe/Si

layer (a light reception layer) 7 is grown selectively on the layer 6 to grow thereon selectively a P<SP>+</SP> silicon layer (an electrode layer) 8.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270746

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 31/107

H 0 1 L 31/10

B

21/265

21/265

W

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平9-73385

(22) 出願日 平成9年(1997)3月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 杉山 光弘

東京都港区芝五丁目7番1号 日本電気株

式会社内

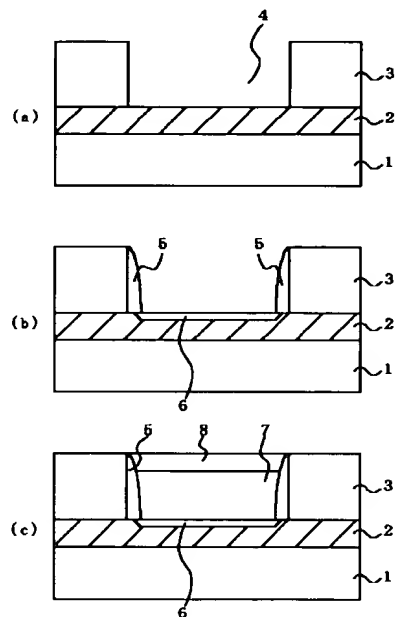
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 光検出器の製造方法

(57) 【要約】

【課題】 選択エピタキシャル成長層を光吸収層に使ったアバランシェフォトダイオードにおいて、アバランシェ降服電圧のばらつきが大きい。

【解決手段】 P型シリコン基板1にN⁺埋込層2とN型エピタキシャル層3を形成し、溝4をN型エピタキシャル層内に形成し、その後全面にシリコン酸化膜を成長後、ドライエッチング法によりシリコン酸化膜のエッチバックを行い、溝4の側壁にシリコン酸化膜5を残す。次に、イオン注入により、P型拡散層（アバランシェ層）6を形成する。続いてSiGe/Si層（光吸収層）7を選択的に成長し、その上にP⁺シリコン層（電極層）8を選択成長する。



1: P型シリコン基板
2: N⁺埋込層
3: N型エピタキシャル層
4: 溝
5: シリコン酸化膜
6: P型拡散層 (アバランシェ層)
7: SiGe/Si層 (光吸収層)
8: P⁺シリコン層 (電極層)

【特許請求の範囲】

【請求項1】 第1導電型のシリコン基板上に第2導電型の埋込層および第2導電型のシリコン層を順次形成する工程と、側壁が第1シリコン酸化膜で覆われている溝を少なくとも前記第2導電型のシリコン層に形成する工程と、前記溝の底面に露出した前記第2導電型の埋込層あるいは前記第2導電型のシリコン層の少なくとも一部分にイオン注入法により選択的に不純物を導入し、前記第2導電型の埋込層あるいは前記第2導電型のシリコン層の少なくとも表面の一部分に第1導電型の拡散層を形成する工程と、前記第1導電型の拡散層上に単結晶層又は単結晶層と混晶層とを選択的に形成する工程とを含むことを特徴とする光検出器の製造方法。

【請求項2】 側壁が第1シリコン酸化膜で覆われている溝を形成したのち全面に第2シリコン酸化膜を形成する工程と、この第2シリコン酸化膜を通して、前記第2導電型の埋込層あるいは前記第2導電型のシリコン層の少なくとも一部分にイオン注入法により選択的に不純物を導入し、前記第2導電型の埋込層あるいは前記第2導電型のシリコン層の少なくとも表面の一部分に第1導電型の拡散層を形成したのち、前記第2シリコン酸化膜を除去する工程とをさらに含む請求項1記載の光検出器の製造方法。

【請求項3】 第1導電型のシリコン基板上に第2導電型の埋込層および第2導電型のシリコン層を順次形成する工程と、少なくとも前記第2導電型のシリコン層に溝を形成したのち全面に第1シリコン酸化膜を形成する工程と、この第1シリコン酸化膜を通して、前記第2導電型の埋込層あるいは前記第2導電型のシリコン層の少なくとも一部分にイオン注入法により選択的に不純物を導入し、前記第2導電型の埋込層あるいは前記第2導電型のシリコン層の少なくとも表面の一部分に第1導電型の拡散層を形成したのち、前記第1シリコン酸化膜の一部を除去し、前記溝の側壁のみに前記第1シリコン酸化膜を残す工程と、前記第1導電型の拡散層上に単結晶層又は単結晶層と混晶層とを選択的に形成する工程とを含むことを特徴とする光検出器の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は光検出器の製造方法に関し、特にシリコン基板に選択的にアバランシェ層と光吸収層が形成されたアバランシェフォトダイオードの製造方法に関する。

【0002】

【従来の技術】 第1の従来例として特開平7-231113号公報に開示されている発明者等による光検出器の製造方法について図4を用いて説明する。

【0003】 まず図4(a)に示すように、P型シリコン基板1にN⁺埋込層2を形成したのち更に、N型エピタキシャル層3を堆積する。次にシリコン酸化膜などに

より埋設された溝10をN⁺埋込層2に達するまでの深さに形成する。次に図4(b)に示すように、溝10に囲まれた領域のN型エピタキシャル層3を除去する。次に図4(c)に示すように、エピタキシャル層3の除去された領域内にP型シリコン層(アバランシェ層)11を選択エピ成長法により形成し、次に、SiGe混晶層とSi層を交互に選択エピ成長したSiGe/Si層(光吸収層)7とその上にP⁺シリコン層(電極層)8を選択成長する。

【0004】 第2の従来例を図5を用いて工程順に説明する。まず図5(a)に示すように、P型シリコン基板1にN⁺埋込層2とN型エピタキシャル層3を堆積して形成したのち、溝4をN⁺埋込層2に達するまでの深さに形成する。次に図5(b)に示すように、全面にシリコン酸化膜を成長後、ドライエッチング法によりシリコン酸化膜のエッチバックを行い、溝4の側壁にシリコン酸化膜5を残す。その後、図5(c)に示すように、P型シリコン層(アバランシェ層)11を選択エピ成長法により形成し、次に、SiGe混晶層とSi層を交互に選択エピ成長したSiGe/Si層(光吸収層)7を形成し、その上にP⁺シリコン層(電極層)8を選択成長する。

【0005】

【発明が解決しようとする課題】 上述した各従来例の光検出器の製造方法はアバランシェ層の形成を選択エピタキシャル成長で行っている。この方法では、エピタキシャル成長中に不純物添加が同時に行われる。発明者は、従来例に開示されているフォトダイオードのアバランシェ層の不純物濃度を変化させて、光検出器の動作を計算させたところ、5%の不純物濃度変化で光検出器のPN接合のアバランシェ降服電圧が、約30%変化することが判明した。このアバランシェ電圧の変動は10%程度以内に収まらなければフォトダイオードの製造は困難であるが、そのためには不純物濃度の変動は2%程度に抑える必要がある。

【0006】 しかしながら、不純物添加エピタキシャル成長法では、現在不純物添加法としてよく用いられるイオン注入法に比較して、添加量の制御が難しい。具体的には不純物添加エピタキシャル成長法の場合10%以上の濃度ばらつきは避けられない。このため、アバランシェ層をエピタキシャル成長法で形成することは、アバランシェフォトダイオードの製造ばらつきの点から、現実性が乏しいといえる。

【0007】 本発明の目的は、以上のような従来例の問題点を解決し、アバランシェ降服電圧ばらつきの小さいアバランシェ層を有する光検出器の製造方法を提供することにある。

【0008】

【課題を解決するための手段】 第1の発明の光検出器の製造方法は、第1導電型のシリコン基板上に第2導電型

の埋込層および第2導電型のシリコン層を順次形成する工程と、側壁が第1シリコン酸化膜で覆われている溝を少なくとも前記第2導電型のシリコン層に形成する工程と、前記溝の底面に露出した前記第2導電型の埋込層あるいは前記第2導電型のシリコン層の少なくとも一部分にイオン注入法により選択的に不純物を導入し、前記第2導電型の埋込層あるいは前記第2導電型のシリコン層の少なくとも表面の一部分に第1導電型の拡散層を形成する工程と、前記第1導電型の拡散層上に単結晶層又は単結晶層と混晶層とを選択的に形成する工程とを含むことを特徴とするものである。

【0009】第2の発明の光検出器の製造方法は、第1導電型のシリコン基板上に第2導電型の埋込層および第2導電型のシリコン層を順次形成する工程と、少なくとも前記第2導電型のシリコン層に溝を形成したのち全面に第1シリコン酸化膜を形成する工程と、この第1シリコン酸化膜を通して、前記第2導電型の埋込層あるいは前記第2導電型のシリコン層の少なくとも一部分にイオン注入法により選択的に不純物を導入し、前記第2導電型の埋込層あるいは前記第2導電型のシリコン層の少なくとも表面の一部分に第1導電型の拡散層を形成したのち、前記第1シリコン酸化膜の一部を除去し、前記溝の側壁のみに前記第1シリコン酸化膜を残す工程と、前記第1導電型の拡散層上に単結晶層又は単結晶層と混晶層とを選択的に形成する工程とを含むことを特徴とするものである。

【0010】

【作用】上記のようにイオン注入法によりアバランシェ層となる拡散層を形成することにより、フォトダイオードのアバランシェ層の濃度ばらつきが従来例より小さくなり、アバランシェフォトダイオードのアバランシェ降服電圧の製造ばらつきが小さくなる。

【0011】

【発明の実施の形態】次に本発明について図面を参照して説明する。図1(a)～(c)は本発明の第1の実施の形態を説明する為の工程順に示した半導体チップの断面図である。

【0012】まず、図1(a)のように、P型シリコン基板1に厚さ約0.8 μ mのN⁺埋込層2を形成し、更に、N型エピタキシャル層3を約1 μ mの厚さに堆積して形成したのち、深さ約1 μ mの溝4をN型エピタキシャル層3内に形成する。

【0013】次に図1(b)に示すように、全面にシリコン酸化膜を約0.2 μ mの厚さに成長後、ドライエッチング法によりシリコン酸化膜のエッチバックを行い、溝4の側壁にシリコン酸化膜5を残す。ここまでの工程は第2の従来例と同じである。次に、リンをイオン注入(加速電圧10keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$)することにより、N型エピタキシャル層3にP型拡散層(アバランシェ層)6を形成する。このとき、熱処理に

より、P型拡散層の活性化を行う必要があるが、所望の層厚より拡散層が広がらないように、ランプ加熱等により、900℃1分程度の熱処理にするのがよい。

【0014】次に、図1(c)のように、SiGe混晶層とSi層を交互に選択エピタキシャル成長したSiGe/Si層(光吸収層)7を溝内に選択的に成長し、その上にP⁺シリコン層(電極層)8を約0.1 μ mの厚さに選択成長する。

【0015】なお、N型エピタキシャル層3の厚さや溝4の深さは、必要とする光吸収層の厚さにより、適宜決定すればよく、これにより本実施の形態の工程に何の変化も生じない。また、本実施の形態では、溝4をN⁺埋込層2に達するように形成しているが、N型エピタキシャル層3の途中までの溝形成でも本発明の効果に変わりはない。溝4の深さは、使用するフォトダイオードの用途や、後の製造工程などにより、適宜決定することができる。

【0016】このように第1の実施の形態によればP型拡散層6をイオン注入法により形成している為、不純物濃度のばらつきを小さくすることができる。

【0017】図2(a)、(b)は本発明の第2の実施の形態を説明する為の半導体チップの断面図である。

【0018】本実施の形態は、途中までは第1の実施の形態の図1(a)の溝4の形成までと同じである。続いて全面にシリコン酸化膜を成長後、ドライエッチング法によりシリコン酸化膜のエッチバックを行い、図2

(a)のように溝4の側壁にシリコン酸化膜5を残す。次でシリコン酸化膜9を約0.03 μ m程度全面に成長する。

【0019】次に図2(b)に示すように、リンをイオン注入(加速電圧50keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$)することにより、P型拡散層(アバランシェ層)6を形成する。続いてシリコン酸化膜9を除去し、その後は第1の実施の形態と同様に図1(c)のように、SiGe混晶層とSi層を交互に選択エピタキシャル成長したSiGe/Si層(光吸収層)7を選択的に成長し、その上にP⁺シリコン層(電極層)8を選択成長する。本第2の実施の形態では、P型拡散層6形成のためのイオン注入による不純物導入をシリコン酸化膜9を通して行うので、P型拡散層に与えるダメージ(欠陥)を、直接N型エピタキシャル層にイオン注入する場合より低減できるという利点がある。

【0020】図3は本発明の第3の実施の形態を説明する為の半導体チップの断面図である。本実施の形態も、途中までは第1の実施の形態の図1(a)までと同じである。続いて、図3のように、全面にシリコン酸化膜5Aを約0.2 μ m成長する。次でリンをイオン注入(加速電圧210keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$)することにより、P型拡散層(アバランシェ層)6を形成する。次にドライエッチング法によりシリコン酸化膜5A

5

のエッチバックを行い、第1の実施の形態の図1(b)のように、溝4の側壁にシリコン酸化膜5Aを残す。

【0021】以下図1(c)のように、SiGe混晶層とSi層を交互に選択エピタ成長したSiGe/Si層(光吸収層)7を選択的に成長し、その上にP⁺シリコン層(電極層)8を選択成長する。本第3の実施の形態では、第2の実施の形態のようにシリコン酸化膜を通して、P型拡散層形成のためのイオン注入を行うので、P型拡散層のダメージを低減できるとともに、溝に残すためのシリコン酸化膜をイオン注入時のスルーシリコン酸化膜として利用するので、第1の実施の形態より工程数を減らすことができる。

【0022】なお、光吸収層はSiGe/Si層に限らず、受光波長により、どのようなものを使ってもかまわない。上記SiGe/Si層は波長が1.0μm帯以上のいわゆる長波長帯の受光には必要であるが、例えば、0.8μm帯以下の波長の受光は、単結晶シリコンで可能であり、したがって、SiGe/Si層の代りに単結晶シリコン層を選択的にエピタキシャル成長してもよい。

【0023】以上のようなイオン注入によるアバランシェ層の形成工程を含む実施の形態により、アバランシェフォトダイオードの光吸収層に接して、不純物濃度のばらつきを2%以内に収めたアバランシェ層を形成することが可能となる。

【0024】

【発明の効果】以上説明したように、本発明はイオン注入法によりアバランシェ層を形成している為、アバラン

6

シェ層の不純物濃度ばらつきを従来例より低減することが可能である。これにより、アバランシェ降服電圧の製造ばらつきが小さくなり、アバランシェフォトダイオードを用いた光検出器を安定して製造できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明する為の半導体チップの断面図。

【図2】本発明の第2の実施の形態を説明する為の半導体チップの断面図。

10 【図3】本発明の第3の実施の形態を説明する為の半導体チップの断面図。

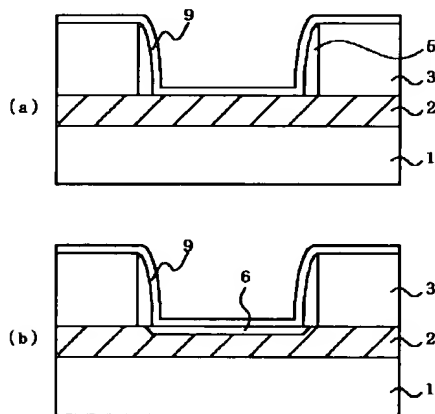
【図4】第1の従来例を説明する為の半導体チップの断面図。

【図5】第2の従来例を説明する為の半導体チップの断面図。

【符号の説明】

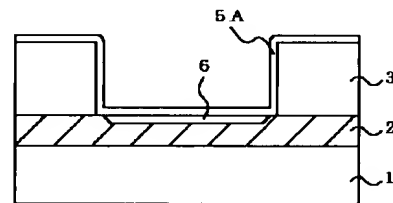
- 1 P型シリコン基板
- 2 N⁺埋込層
- 3 N型エピタキシャル層
- 4 溝
- 5, 5A シリコン酸化膜
- 6 P型拡散層(アバランシェ層)
- 7 SiGe/Si層(光吸収層)
- 8 P⁺シリコン層(電極層)
- 9 シリコン酸化膜
- 10 溝
- 11 P型シリコン層(アバランシェ層)

【図2】



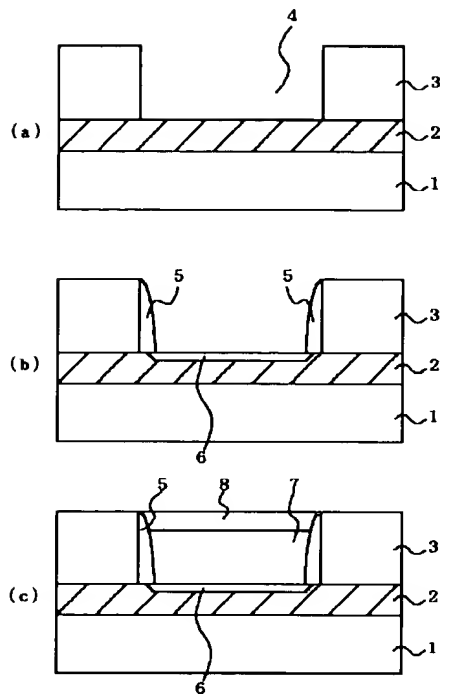
9 : シリコン酸化膜

【図3】



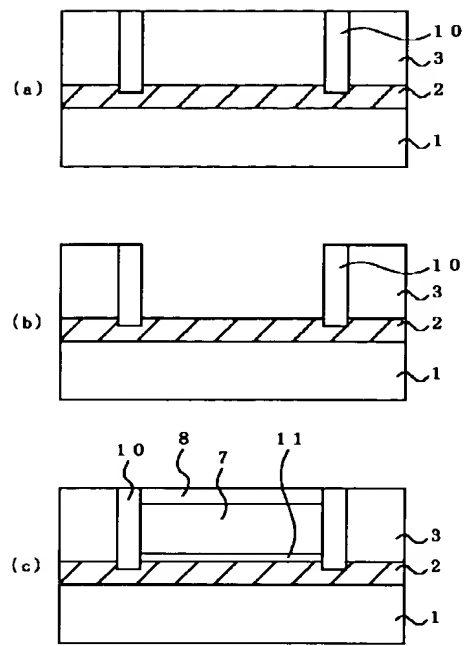
5A : シリコン酸化膜

【図1】



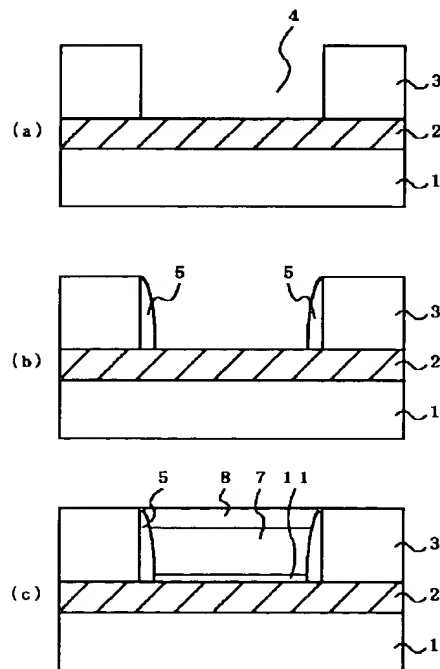
- 1 : P型シリコン基板
2 : N⁺埋込層
3 : N型エピタキシャル層
4 : 溝
5 : シリコン酸化膜
6 : P型拡散層 (アパランシェ層)
7 : SiGe/Si層 (光吸収層)
8 : P⁺シリコン層 (電圧層)

【図4】



- 7 : SiGe/Si層
8 : P⁺シリコン層
10 : 溝
11 : P型シリコン層 (アパランシェ層)

【図5】



- 4 : 溝